

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-11652

(P2000-11652A)

(43)公開日 平成12年1月14日(2000.1.14)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード(参考)
G 1 1 C 11/407		G 1 1 C 11/34	3 6 2 S 5 B 0 1 5
11/413			J 5 B 0 2 4

審査請求 有 請求項の数4 O L (全 4 頁)

(21)出願番号 特願平10-182191

(22)出願日 平成10年6月29日(1998.6.29)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 吉田 宗一郎

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100096231

弁理士 稲垣 清

Fターム(参考) 5B015 AA00 BA62 BA65

5B024 AA11 BA21 BA29 CA07

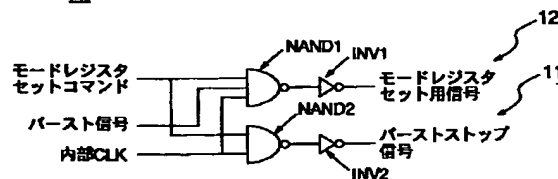
(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 バーストストップコマンドを持たないSDRAMで構成した仮想チャネルメモリであっても必要に応じてバーストモードを終了できる半導体記憶装置を提供する。

【解決手段】 バーストモード及び通常作動モードで作動する半導体記憶装置(仮想チャネルメモリ)において、通常作動モードで使用する1のコマンドを利用してバーストモードを終了させる。

10



## 【特許請求の範囲】

【請求項1】 バーストモード及び通常作動モードで作動する半導体記憶装置において、通常作動モードで使用する1のコマンドを利用してバーストモードを終了させることを特徴とする半導体記憶装置。

【請求項2】 前記1のコマンドでバーストストップ信号を生成する第1の回路部と、前記1のコマンドによって通常作動モードで所定の信号を生成し、且つ、前記バーストモードで前記第1のコマンドをディスエーブルする第2の回路部とを有する、請求項1に記載の半導体記憶装置。

【請求項3】 前記1のコマンドが、半導体記憶装置のモードを設定するためのモードレジスタセットコマンド、セルフリフレッシュ信号又はライトコマンドである、請求項1又は2に記載の半導体記憶装置。

【請求項4】 仮想チャンネルメモリとして構成したことを特徴とする、請求項1乃至3に記載の半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に関し、更に詳しくは、バーストモード及び通常作動モードで作動する半導体記憶装置の切り替え機能に関する。

## 【0002】

【従来の技術】近年、DRAMの主流は、従来型のDRAMと同じ製造コストで製作でき、且つ、100MHzもの高速クロックで作動する同期型DRAM(シンクロナスDRAM:以下SDRAMと呼ぶ)に移行している。SDRAMでは、一度アドレスを入力すれば同一のページ内でメモリセルを連続してアクセスできるバーストモードが一般的に採用されている。バーストモードでは、複数のモードの中から1つを選択することにより、例えば1、2、4、8ビット又は1ページの全ビットのデータが連続してアクセスできる。

【0003】ところで、SDRAMのバーストモード作動を途中でストップするには、一般に、バーストストップ・コマンドを入力するか、又は、プリチャージ・コマンドを入力してバーストモードを終了するのが一般的である。

【0004】SDRAMでは、CPU及びコントローラとのデータ転送の効率化を図るために命令数を少なくする要請が高い。特にバーストストップコマンドは、上記の通りプリチャージコマンドで代用できるため不要にできる。またCPU及びコントローラ側にもバーストストップコマンドを持たない例が多い。つまり、SDRAMではバーストストップコマンドを持つシステムと持たないシステムとが混在している。

【0005】SDRAMを使用するシステムでバーストストップ・コマンドをなくした場合には、SDRAMではプリチャージ・コマンドがバーストモード動作を途中

で止めるための唯一のコマンドとなる。この場合、通常のSDRAMを利用するシステムでは、特に問題はない。

【0006】ところで、本出願人は、SDRAMにおけるアクセススピードを更に高めるために、特願平09-290233号において仮想チャンネルメモリ(バーチャル・チャンネル・シンクロナスDRAM:VCSDRAM)を提案している。仮想チャンネルメモリは、行方向及び列方向にアレイ状に配列された複数のDRAMメモリセルから成るメモリセルアレイと、メモリセルの行数及び列数に対して一定の比率の行数及び列数を有し、行方向及び列方向にアレイ状に配列されたキャッシュ機能を有するレジスタアレイとを備えている。レジスタアレイは一般にSRAMとして構成される。

## 【0007】

【発明が解決しようとする課題】SRAM及びSDRAMを組み合わせた、上記提案された仮想チャンネルメモリにおいては、フォアグラウンド動作であるレジスタアレイからのリード・ライトのバースト動作をバックグラウンド動作であるプリチャージ・コマンドで終了させることはできない。このため、前述のバーストストップコマンドを持たないシステム中では、仮想チャンネルメモリのバースト作動モードを途中でストップして通常作動モードに切り替えることができないという問題があった。

【0008】本発明は、上記に鑑み、バーストモード及び通常モードのいずれでも動作できながらも、バーストストップコマンドを持たないシステム中に配設した場合にも、システムのコマンド数を増やすことなく、必要に応じてバーストモードを途中で終了できる半導体記憶装置を提供することを目的とする。

## 【0009】

【課題を解決するための手段】前記目的を達成するため、本発明の半導体記憶装置は、バーストモード及び通常作動モードで作動する半導体記憶装置において、通常作動モードで使用する1のコマンドを利用してバーストモードを終了させることを特徴とする。

【0010】ここで、本発明の半導体記憶装置でバーストモードを終了させる1のコマンドとしては、特定のコマンドに限定されるものではなくいかなる信号も利用できる。一例として、バーストモード状態での使用が禁止されているモードレジスタセットコマンド、セルフリフレッシュコマンド又はライトコマンドが利用できる。例えばモードレジスタセット信号は、一般に、バーストモード又は通常作動モードの何れかのモードを選択した結果として出力がLレベル又はHレベルとなる、レジスタを制御するための信号である。

【0011】1のコマンドを、バーストモードでバーストストップ信号を生成するために利用し、且つ、通常作動モードで本来の目的に利用できるようにするには、前記1のコマンドでバーストストップ信号を生成する回路

を設けると共に、通常動作モードで前記1のコマンドを利用して対応する信号を生成する回路中に、前記1のコマンドで通常動作モードではイネーブルとなる信号を、バーストモードでディスエーブルする回路素子を設けることが好ましい。

【0012】本発明を仮想チャンネルメモリに適用することで、システムのコマンド数を増やすことなくバーストモードと通常動作モードとの間で切り替えることができる。

【0013】

【発明の実施の形態】図面を参照して本発明の実施形態例に基づいて本発明を更に詳細に説明する。図1は、本発明の第1の実施形態例の半導体記憶装置の論理回路図である。本実施形態例では、バーストモード動作中にモードレジスタセットコマンドを利用してバーストストップ信号を生成する第1の回路部11とバーストモード以外の動作モードでモードレジスタセットコマンドからモードレジスタセット用信号を生成し、且つ、バーストモード動作ではモードレジスタセットコマンドを無効にする第2の回路部12とを有する。

【0014】第1の回路部11は、モードレジスタセットコマンド及び内部クロックCLKを入力とするNANDゲートNAND2と、NANDゲートNAND2の出力を入力とするインバータINV2とを有する。第2の回路部12は、モードレジスタセットコマンド、バーストモード動作中以外のモードでHレベルとなるバースト信号、及び、内部クロック信号CLKを入力とするNANDゲートNAND1と、NANDゲートNAND1の出力を入力するインバータINV1とを有する。

【0015】上記構成において、モードレジスタセットコマンドは、バーストモード動作中には通常は発生しない信号、つまり禁止コマンドである。本実施形態例では、このモードレジスタセットコマンドを、バーストモードを終了させるバーストストップ信号を生成するために利用している。

【0016】バースト動作中ではなく、従ってバースト信号がHレベルの際に、内部クロック信号CLKに同期してモードレジスタセットコマンドを入力すると、第2の回路部12のNAND1及びINV1によってモードレジスタセット用信号がHレベル（イネーブル）になる。つまり、バーストモード動作中以外では、モードレジスタセットコマンドを、本来のモードレジスタセットのためのコマンドとして使用できる。このとき第1の回路部11によってバーストストップ信号がHレベルになるが、バーストモード動作中ではないため、バーストストップ信号が発生しても回路中に変化はない。

【0017】バーストモード動作中にモードレジスタセットコマンドが発生させると、第2の回路部12では、バースト信号によってNANDゲートNAND1がディスエーブルされており、モードレジスタセット信号は発

生しない。この時、第1の回路部11では、内部CLKに同期してバーストストップ用信号がイネーブルとなり、バーストモード動作を終了させる。これによって、バーストモード動作中には、モードレジスタセットコマンドでバーストストップ信号を生成でき、また、バーストモード以外の通常動作モードでは、モードレジスタセットコマンドを本来の目的に利用できる。その結果、バーストモードストップのコマンドを持たないシステム中において、仮想チャンネルメモリのバーストモード動作を途中で終了できる。

【0018】図2は、本発明の第2の実施形態例の半導体記憶装置の要部構成を示す論理回路図である。本実施形態例の半導体記憶装置は、バースト状態セット・リセット回路21と、モードレジスタセット回路22とを有する。

【0019】バースト状態セット・リセット回路21は、ライトコマンド信号及びリードコマンド信号を入力とするNORゲートNOR1と、NORゲートNOR1の出力を入力するインバータINV3と、指定のビット数のバースト動作が終了したのでバースト終了をコマンドするバーストエンド信号、及び、バーストモードを強制的に終了させるためのモードレジスタセット信号を入力とするNORゲートNOR4と、NORゲートNOR4の出力を入力するインバータINV4と、双方のNORゲートNOR1及びNOR4の出力がインバータINV3、INV4を介して入力され、何れかのNORゲートNOR1、NOR4の出力に従って出力が反転するラッチ回路23とを有する。

【0020】ラッチ回路23は、出力がたすき掛けに入力される一対のNORゲートNOR2及びNOR3で構成されており、ライトコマンド信号又はリードコマンド信号の何れかが発生すると出力がLレベルになり、バーストモードに移行するためのバースト信号をアクティブにする。また、バーストエンド信号又はモードレジスタセットコマンドの何れかによって、その出力を成すバースト信号がHレベルになる。

【0021】モードレジスタセット回路22は、バーストモードでLレベルになるバースト信号、データラッチ用のクロック信号CLK及びモードレジスタセット信号を入力とするNANDゲートNAND3と、NANDゲートNAND3の出力を入力するインバータINV5と、夫々のモード状態を示す信号（モード選択信号）1～nをインバータINV5の出力にตอบสนองしてラッチする、モード数（n）に対応する数のフリップフロップDFF1～DFFnとを有する。

【0022】各フリップフロップDFF1～DFFnの出力が、各モード信号として利用され、いずれのフリップフロップDFF1～DFFnの出力もLレベルのときに、バースト状態セット・リセット回路21の出力がLレベルであると、半導体記憶装置はバーストモードで作

動する。

【0023】バースト信号がHレベルのときに、つまり、バーストモード以外の通常作動モードのときに、モードレジスタセット信号をHレベルにすると、データラッチ用クロック信号のHレベルに反応して、NANDゲートNAND3の出力がLレベルに移行する。この信号が、インバータINV5を経由して各フリップフロップDFF1～DFFnに伝達され、対応するモード選択信号をラッチする。これによって、メモリはモード状態を示す信号1～nにより指定された特定のモードに移行する。つまり、モードレジスタセット信号は本来の信号として利用される。

【0024】バースト信号がLレベルのときに、つまり、バーストモードのときに、モードレジスタセット信号をHレベルにすると、バースト信号によってディスエーブルされたNANDゲート3の出力に変化はなく、モードレジスタセット回路22に変化は生じない。一方、バースト状態セット・リセット回路21の出力がLレベルからHレベルに変化し、半導体記憶装置はバーストモードから抜け出す。これによって、モードレジスタセット信号をバーストモードストップ信号として利用できる。

【0025】以上、本発明をその好適な実施形態例に基

づいて説明したが、本発明の半導体記憶装置は、上記実施形態例の構成のみに限定されるものではなく、上記実施形態例の構成から種々の修正及び変更を施した半導体記憶装置も、本発明の範囲に含まれる。

【0026】

【発明の効果】本発明の半導体記憶装置では、通常作動モードで使用する1のコマンドを、バーストモード以外の通常作動モードでは本来の目的に利用しつつ、バーストモード中にはバーストストップ・コマンドを生成するコマンドとして利用できる。

【図面の簡単な説明】

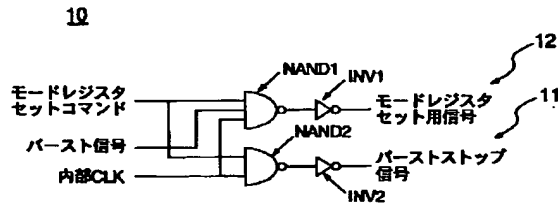
【図1】本発明の第1実施形態例の半導体記憶装置の論理回路図。

【図2】本発明の第2の実施形態例の半導体記憶装置の論理回路図。

【符号の説明】

11：第1の回路部、12：第2の回路部、21：バースト状態セット・リセット回路、22：モードレジスタセット回路、NAND1～NAND3：NANDゲート、NOR1～NOR4：NORゲート、INV1～INV5：インバータ、DFF1～DFFn：フリップフロップ1～n

【図1】



【図2】

